

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

003913475

WPI Acc No: 1984-059019/198410

MOS transistor logic circuit - has capacitors composed of MOS elements

NoAbstract Dwg 1,2,3/14

Patent Assignee: TOKYO SHIBAURA DENKI KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 59016424	A	19840127	JP 82125334	A	19820719	198410 B

Priority Applications (No Type Date): JP 82125334 A 19820719

Patent Details:

Patent No	Kind	Land Pg	Main IPC	Filing Notes
JP 59016424	A	14		

Title Terms: MOS; TRANSISTOR; LOGIC; CIRCUIT; CAPACITOR; COMPOSE; MOS;  
ELEMENT; NOABSTRACT

Derwent Class: U13; U21

International Patent Class (Additional): H03K-019/09

File Segment: EPI

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

01304824 \*\*Image available\*\*  
SEMICONDUCTOR CIRCUIT

PUB. NO.: 59-016424 [JP 59016424 A]  
PUBLISHED: January 27, 1984 (19840127)  
INVENTOR(s): KONISHI SATOSHI  
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 57-125334 [JP 82125334]  
FILED: July 19, 1982 (19820719)  
INTL CLASS: [3] H03K-019/094  
JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS — Metal Oxide Semiconductors,  
MOS)  
JOURNAL: Section: E, Section No. 243, Vol. 08, No. 99, Pg. 72, May 10,  
1984 (19840510)

#### ABSTRACT

PURPOSE: To attain the rapid boosting of a bootstrap node, by boosting a gate voltage of a transistor(TR) transmitting an input signal to the bootstrap node attended with the leading of the input signal.

CONSTITUTION: A voltage of  $V_{DD}-V_{TE}$  is applied normally to a gate of a TRQEB with a TRQEU. The TRQEB is inverted and coupled with an input  $V_{(sub in)}$  through a gate capacitance of the TRQEB or a capacitor  $C_B'$ , and the leading voltage of the input  $V_{(sub in)}$  is formed so as to boost a gate voltage  $V_{(sub b)}$  of the TRQEB with the capacitor coupling. The voltage  $V_{(sub b)}$  is boosted higher than a power supply voltage  $V_{DD}$  at the same time with the leading of the input  $V_{(sub in)}$ , and a bootstrap node voltage  $V_{(sub s)}$  is boosted rapidly with the input  $V_{(sub in)}$ .

?

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59-16424

⑫ Int. Cl.<sup>3</sup>  
H 03 K 19/094

識別記号  
内整理番号  
6832-5 J

⑬ 公開 昭和59年(1984)1月27日

発明の数 2  
審査請求 未請求

(全 9 頁)

④ 半導体回路

⑤ 特 願 昭57-125334

⑥ 出 願 昭57(1982)7月19日

⑦ 発明者 小西頼  
川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジス  
タ工場内

⑧ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑨ 代 理 人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

半導体回路

2. 特許請求の範囲

(1) チャネル導電路の一方の電極が第1の電源に接続された第1のMOSトランジスタのチャネル導電路の他方の電極と、チャネル導電路の一方の電極が第2の電源に接続された第2のMOSトランジスタのチャネル導電路の他方の電極とは第1のノードで共通接続され、前記第2のMOSトランジスタのゲートは、チャネル導電路の一方の電極が第2の電源に接続された第3のMOSトランジスタのゲートに共通接続され、このゲートは第1のコンデンサを介して第3のMOSトランジスタのチャネル導電路の他方の電極と第2のノードで接続され、この第2のノードはチャネル導電路の一方の電極が第1の電源に接続された第4のMOSトランジスタのチャネル導電路の他方の電極に接続され、第5、第6のMOSトランジスタで形成されかつ第5のMOS

トランジスタのゲートに入力信号が印加されるインバータの出力となる第3のノードは第1、第4のMOSトランジスタのゲートに接続され、前記インバータの入力は第7のMOSトランジスタのチャネル導電路を介して第2、第3のMOSトランジスタのゲートに接続され、第7のMOSトランジスタのゲートは第8のMOSトランジスタのチャネル導電路の一方の電極に接続され、第8のMOSトランジスタのチャネル導電路の他方の電極とゲートは第2の電源に接続されたことを特徴とする半導体回路。

(2) 前記第7のMOSトランジスタのチャネル導電路の前記入力信号側の電極とゲート間には第2のコンデンサが配置されていることを特徴とする特許請求の範囲第1項に記載の半導体回路。

(3) 前記第1、第2のコンデンサはMOSキャパシタにより構成されていることを特徴とする特許請求の範囲第2項に記載の半導体回路。

(4) 前記第2、第3のMOSトランジスタのゲ

ートが共通接続されたノードは第 9 の MOS ランジスタを介して第 1 の電源に接続され、第 9 の MOS ランジスタのゲートは第 3 のノードに接続されていることを特徴とする特許請求の範囲第 1 項に記載の半導体回路。

(5) 前記第 2 , 第 3 の MOS ランジスタのゲートが共通接続されたノードは第 9 の MOS ランジスタのチャネル導電路を介して第 1 の電源に接続され、第 9 の MOS ランジスタのゲートは前記入力信号とは別の入力信号源に接続されていることを特徴とする特許請求の範囲第 1 項に記載の半導体回路。

(6) 前記第 2 , 第 3 の MOS ランジスタのしきい値電圧の絶対値は前記第 1 , 第 4 , 第 5 , 第 7 , 第 8 の MOS ランジスタのしきい値電圧以下であることを特徴とする特許請求の範囲第 1 項に記載の半導体回路。

(7) 前記第 6 の MOS ランジスタのしきい値電圧は、前記第 2 の電源電圧が第 1 の電源電圧より高い時には第 1 , 第 4 , 第 5 , 第 7 , 第 8

の MOS ランジスタのしきい値電圧以下であり、第 2 の電源電圧が第 1 の電源電圧より低い時には第 1 , 第 4 , 第 5 , 第 7 , 第 8 の MOS ランジスタのしきい値電圧以上であることを特徴とする特許請求の範囲第 1 項に記載の半導体回路。

(8) 前記第 9 の MOS ランジスタのしきい値電圧は第 1 , 第 4 , 第 5 , 第 7 , 第 8 の MOS ランジスタのしきい値電圧と略等しいことを特徴とする特許請求の範囲第 1 項に記載の半導体回路。

(9) チャネル導電路の一方の電極が第 1 の電源に接続された第 1 の MOS ランジスタのチャネル導電路の他方の電極と、チャネル導電路の一方の電極が第 2 の電源に接続された第 2 の MOS ランジスタのチャネル導電路の他方の電極とは第 1 のノードで共通接続され、前記第 2 の MOS ランジスタのゲートは、チャネル導電路の一方の電極が第 2 の電源に接続された第 3 の MOS ランジスタのゲートに共通接続され、このゲートは第 1 のコンデンサを介して第 3 の

MOS ランジスタのチャネル導電路の他方の電極と第 2 のノードで接続され、この第 2 のノードはチャネル導電路の一方の電極が第 1 の電源に接続された第 4 の MOS ランジスタのチャネル導電路の他方の電極に接続され、第 5 , 第 6 の MOS ランジスタで形成されかつ第 5 の MOS ランジスタのゲートに入力信号が印加されるインバータの出力となる第 3 のノードは第 1 , 第 4 の MOS ランジスタのゲートに接続され、前記インバータの入力は第 7 の MOS ランジスタのチャネル導電路を介して第 2 , 第 3 の MOS ランジスタのゲートに接続され、前記第 7 の MOS ランジスタのゲートは、ゲートが第 2 の電源に接続された第 10 の MOS ランジスタのチャネル導電路を介して第 3 のノードに接続されたことを特徴とする半導体回路。

(10) 前記第 7 の MOS ランジスタのチャネル導電路の前記入力信号側の電極とゲート間には第 2 のコンデンサが配置されていることを特徴とする特許請求の範囲第 9 項に記載の半導体回

路。

(11) 前記第 1 , 第 2 のコンデンサは MOS キャパシタにより構成されていることを特徴とする特許請求の範囲第 10 項に記載の半導体回路。

(12) 前記第 2 , 第 3 の MOS ランジスタのゲートが共通接続されたノードは第 9 の MOS ランジスタを介して第 1 の電源に接続され、第 9 の MOS ランジスタのゲートは第 3 のノードに接続されていることを特徴とする特許請求の範囲第 9 項に記載の半導体回路。

(13) 前記第 2 , 第 3 の MOS ランジスタのゲートが共通接続されたノードは第 9 の MOS ランジスタのチャネル導電路を介して第 1 の電源に接続され、第 9 の MOS ランジスタのゲートは前記入力信号とは別の入力信号源に接続されていることを特徴とする特許請求の範囲第 9 項に記載の半導体回路。

(14) 前記第 2 , 第 3 の MOS ランジスタのしきい値電圧の絶対値は前記第 1 , 第 4 , 第 5 , 第 7 , 第 10 の MOS ランジスタのしきい値電

圧以下であることを特徴とする特許請求の範囲第9項に記載の半導体回路。

(15) 前記第6のMOSトランジスタのしきい値電圧は、前記第2の電源電圧が第1の電源電圧より高い時には第1、第4、第5、第7、第10のMOSトランジスタのしきい値電圧以下であり、第2の電源電圧が第1の電源電圧より低い時には第1、第4、第5、第7、第10のMOSトランジスタのしきい値電圧以上であることを特徴とする特許請求の範囲第9項に記載の半導体回路。

(16) 前記第9のMOSトランジスタのしきい値電圧は第1、第4、第5、第7、第10のMOSトランジスタのしきい値電圧と略等しいことを特徴とする特許請求の範囲第9項に記載の半導体回路。

### 3.発明の詳細な説明

#### 〔発明の技術分野〕

本発明はアートストラップ回路を用いたスタティック出力回路に関する半導体回路に関する。

る出力コンダクタンスを上げるために、そのゲートには電源電圧 $V_{DD}$ より高い電圧を印加して、負荷MOSトランジスタ $Q_{1d}$ が3極管動作をする上にしている。即ちコンデンサ $C_s$ とトランジスタ $Q_{1g}$ とにより、アートストラップ電位を発生し、それを出力側の負荷MOSトランジスタ $Q_{1d}$ のゲートに印加する回路形式である。

第1図の回路動作は第4図に示してある。即ち入力 $V_{in}$ が電源(接地) $V_{SS}$ から $V_{DD}$ レベルへ立ち上ると、それによってデプレッション型(D型)トランジスタ $Q_D$ とエンハンスメント型(E型)トランジスタ $Q_E$ によるインバータの出力は、第4図(a)の電圧 $V_a$ のように立ち下がる。一方その電圧を $V_c$ と表わしたアートストラップノードには、トランジスタ $Q_{ss}$ を介して入力 $V_{in}$ が供給され、それによりアートストラップ電圧 $V_c$ が上るとトランジスタ $Q_{1g}$ が導通し、トランジスタ $Q_{1g}$ により $V_d$ のノードは昇圧され、それがアートストラップ用コンデンサ $C_s$ を介してアートストラップノードを昇圧し、その電圧

#### 〔発明の技術的背景及びその問題点〕

レシオ型のMOSトランジスタ回路においては、エンハンスメント型、しきい値電圧が零V付近のイントリンシック型或いは通常オン状態のデイプレッション型MOSトランジスタを負荷トランジスタとし、これをエンハンスメント型MOSトランジスタで駆動する回路形式をとっている。このものは駆動回路が導通状態の場合は、一方電源から負荷トランジスタと駆動トランジスタを介して他方電源に至る直流電流経路が生じ、これがレシオ型MOSトランジスタ回路の消費電流の大きな部分を占めている。そこで出力回路或いは大きな負荷容量を駆動する回路に用いられる大きなコンダクタンスをもつMOSトランジスタ部分では、消費電流を大きくしないためにレシオレス型の回路形式としている。そのため負荷MOSトランジスタにはデプレッション型を避け、イントリンシック型トランジスタが一般に用いられている。この回路形式では、第1図に示すように負荷MOSトランジスタ $Q_{1d}$ に上

$V_c$ により出力回路の負荷MOSトランジスタ $Q_{1d}$ が駆動され、第4図(c)のように出力 $V_{out}$ にハイレベルが出力される。一方、出力の立ち下がり動作は、入力 $V_{in}$ が立ち下がり $V_{ss}$ 電位になると、トランジスタ $Q_{ss}$ を介してアートストラップノード $V_c$ は $V_{ss}$ 電位となり、出力の負荷トランジスタ $Q_{1d}$ は遮断状態となり、更にトランジスタ $Q_D$ 、 $Q_E$ によるインバータの出力 $V_a$ は立ち上がり、出力の駆動トランジスタ $Q_{BD}$ は導通状態となって、出力 $V_{out}$ は $V_{ss}$ 電位へ立ち下がる。

さて第1図のアートストラップ出力回路において、立ち上がり時間を決める要点は、入力 $V_{in}$ によりアートストラップノード電圧 $V_c$ を充電する速度である。即ち入力 $V_{in}$ によりトランジスタ $Q_{ss}$ を介して $V_c$ を少し昇圧するとトランジスタ $Q_{1g}$ が導通し、 $V_d$ とともに $V_c$ はアートストラップ動作により昇圧されて行く。この $V_c$ の昇圧期間中にも $V_c$ が " $V_{DD} - V_{TE}$ " ( $V_{TE}$ はE型MOSトランジスタ $Q_{ss}$ のしきい値電圧)になるまでは、トランジスタ $Q_{ss}$ は導通しており、

そのため入力  $V_{in}$  はトランジスタ  $Q_{sd}$  を介して  $V_c$  を昇圧する。この  $V_c$  の最終的な昇圧電位は、 $V_d$  の昇圧による  $(V_{dd} - V_{th}) C_s / C_t$  ( $C_t$  はブートストラップノードの全電気容量) と、入力  $V_{in}$  による  $V_c$  の最初の昇圧電位と、 $V_c$  の昇圧中の “ $V_{dd} - V_{th}$ ” にいたるまでの昇圧電位分との和である。上記一連の動作から分るよう、トランジスタ  $Q_{ig}$  により  $V_d$  が昇圧されるより急速に  $V_{in}$  IC によって  $V_c$  を昇圧してやれば、 $V_c$  の最終的な昇圧電位は高くなり、それによって出力負荷 MOS トランジスタ  $Q_{id}$  のゲート電圧が高くなり、高速の立ち上がり動作をさせることができる。この観点から見ると、従来回路においては入力  $V_{in}$  により急速に  $V_c$  を昇圧しようとしても、トランジスタ  $Q_{sd}$  のゲート電圧が  $V_{dd}$  であるので、 $V_{in}$  が立ち上がり  $V_{dd}$  位になっても、 $V_c$  にはその電位よりトランジスタ  $Q_{sd}$  のしきい値電圧  $V_{th}$  分だけ降下した電位にしか昇圧されない。しかもトランジスタ  $Q_{sd}$  のゲート電圧が  $V_{dd}$  電位のままであることは、 $V_{in}$  の立ち上がり

に対してもトランジスタ  $Q_{sd}$  のコンダクタンスは次第に低下してゆくことを意味し、これはブートストラップ動作を高めるためには急速に  $V_c$  を  $V_{in}$  IC に昇圧することが必要であるということに反しており、その結果高速の立ち上がり出力を得るのは難しくなっていた。

#### 【発明の目的】

本発明は上記実情に鑑みてなされたもので、入力信号による急速なブートストラップノードの昇圧を可能とし、これにより高速の立ち上がり出力が得られる半導体回路を提供しようとするものである。

#### 【発明の概要】

本発明は上記目的を達成するため、入力信号の立ち上がりにともなって該入力信号をブートストラップノードに伝送するトランジスタのゲート電圧を昇圧するようにして上記トランジスタを 3 極管動作させることにより、従来例のようなトランジスタ  $Q_{sd}$  のしきい値電圧降下を生じず、かつ上記トランジスタのコンダクタンス

を上げることにより、急速なブートストラップノードの昇圧を可能とするものである。

#### 【発明の実施例】

以下図面を参照して本発明の一実施例を説明する。第2図は同実施例を示すものであるが、これは第1図のものと対応させた場合の例であるから、対応個所には同一符号を用いる。即ちソースが電源  $V_{ss}$  (接地) IC 接続された E型トランジスタ  $Q_{sd}$  のドレインと、ドレインが電源  $V_{dd}$  IC 接続されたイントリニシック型 (I型)トランジスタ  $Q_{id}$  のドレインは  $V_{out}$  の出力端で共通接続され、トランジスタ  $Q_{id}$  のゲートは、ドレインが電源  $V_{dd}$  に接続された I型トランジスタ  $Q_{ig}$  のゲートに共通接続され、該ゲートはコンデンサ  $C_s$  を介してトランジスタ  $Q_{ig}$  のソース IC 接続される。該トランジスタ  $Q_{ig}$  のソースは E型トランジスタ  $Q_{sd}$  のドレインとソースを介して接地され、該トランジスタ  $Q_{ig}$  のゲートはトランジスタ  $Q_{sd}$  のゲートと共通接続される。D型トランジスタ  $Q_d$  と E型トランジスタ  $Q_s$  で形

成されるインバータの出力端はトランジスタ  $Q_{sd}$ 、 $Q_{sd}$  のゲートに接続され、上記インバータの入力端つまりトランジスタ  $Q_s$  のゲートは入力信号  $V_{in}$  の入力端に接続され、該入力端は E型トランジスタ  $Q_{sd}$  のドレイン、ソースを介してトランジスタ  $Q_{ig}$  のゲートつまりブートストラップノードに接続される。トランジスタ  $Q_{sd}$  のゲートは E型トランジスタ  $Q_{sd}$  のソースに接続され、該トランジスタ  $Q_{sd}$  のゲートとドレインは電源  $V_{dd}$  に接続される。トランジスタ  $Q_{sd}$  のゲートとドレイン間にはコンデンサ  $C'_s$  が配置されるが、このコンデンサ  $C'_s$  は入力信号  $V_{in}$  の立ち上がり時にトランジスタ  $Q_{sd}$  のゲート電圧を昇圧するためのもので、トランジスタ  $Q_{sd}$  のゲートノードの浮遊容量が  $Q_{sd}$  のゲート容量に比べて小さければ、上記コンデンサ  $C'_s$  はあえて必要とせず、 $Q_{sd}$  のゲート容量でゲート電圧を充分に昇圧することができる。

第2図の回路にあっては、トランジスタ  $Q_{sd}$  のゲートにはトランジスタ  $Q_{sd}$  IC により “ $V_{dd}$

$-V_{TH}$  の電圧が常時印加され、従ってトランジスタ  $Q_{SD}$  は反転状態にあり、かつ入力  $V_{IN}$  とはコンデンサ  $C'_S$  或いはトランジスタ  $Q_{SD}$  のゲート容量により結合され、それによって入力  $V_{IN}$  の立ち上がり電圧は、コンデンサ結合によりトランジスタ  $Q_{SD}$  のゲート電圧  $V_b$  を昇圧するよう構成されている。この回路構成により、第5図に示すように入力  $V_{IN}$  が立ち上がると、同時に電圧  $V_b$  は電源電圧  $V_{DD}$  より高く昇圧されてそのためブーストストラップノード電圧  $V_c$  は入力  $V_{IN}$  により従来例に比して急速に昇圧される。このブーストストラップノードの入力  $V_{IN}$  による初期昇圧電位には、トランジスタ  $Q_{SD}$  が3極間動作するため従来回路に見られたトランジスタ  $Q_{SD}$  のしきい値電圧降下もなければ、入力  $V_{IN}$  の立ち上がりとともにソース、ゲート間の電位差が小さくなることによるトランジスタ  $Q_{SD}$  のコンダクタンスの低下も少なく、従って入力  $V_{IN}$  による  $V_c$  の昇圧は速くなり、出力  $V_{OUT}$  の立ち上がりも速くなる。一方、入力  $V_{IN}$  の立ち下がり時は、

トランジスタ  $Q_{SD}$  を介して  $V_c$  は  $V_{DD}$  電位となってトランジスタ  $Q_{SD}$  は遮断状態となり、更にトランジスタ  $Q_D, Q_S$  によるインバータ出力電圧  $V_b$  は立ち上がって、トランジスタ  $Q_{SD}$  を導通として出力  $V_{OUT}$  を立ち下がらせるものである。

第3図は本発明の他の実施例の回路図である。この回路の構成の特徴は、トランジスタ  $Q_{SD}$  のゲートとトランジスタ  $Q_D, Q_S$  によるインバータの出力端との間にE型トランジスタ  $Q_{SC}$  を介挿し、そのゲートには電源  $V_{DD}$  を印加したものである。

ところで第2図の回路では、入力  $V_{IN}$  の立ち上がりによりトランジスタ  $Q_{SD}$  のゲート電圧  $V_b$  はかなり昇圧され、最終的にはトランジスタ  $Q_{SD}$  のしきい値電圧分だけ低い電圧即ち  $V_{DD} - V_{TH}$  とトランジスタ  $Q_{SD}$  のゲート容量を介した入力  $V_{IN}$  による昇圧電位の和にまでなりこの電位は  $V_{DD} + V_{TH}$  より高く  $Q_{SD}$  は常時導通の状態にあり、従ってブーストストラップノード電圧  $V_c$  には、トランジスタ  $Q_{SD}$  を介して入力

$V_{IN}$  にいたる電流経路が生じそのため  $V_c$  が下がり気味になる弱点もあった。そこで第3図では、入力  $V_{IN}$  の立ち上がりによりブーストストラップノード電圧  $V_c$  を昇圧した後はトランジスタ  $Q_{SD}$  のゲート電圧  $V_b$  を下げ、ブーストストラップ動作の開始とともに始まる  $V_c$  の昇圧において、トランジスタ  $Q_{SD}$  を遮断状態としてブーストストラップノードから入力  $V_{IN}$  への電流経路を断ち、以ってブーストストラップ電圧  $V_c$  を高め、ブーストストラップ動作の効果を高めてトランジスタ  $Q_{SD}$  による出力  $V_{OUT}$  を高速化したものである。

第3図において立ち上がり動作は、入力  $V_{IN}$  が立ち上がってもトランジスタ  $Q_D, Q_S$  によるインバータ出力はしばらくは高い電圧レベルにあり、従って  $V_b$  にはトランジスタ  $Q_{SC}$  による電源電圧のしきい値電圧降下電位  $V_{DD} - V_{TH}$  がD型トランジスタ  $Q_D$  を介して印加されており、さらにトランジスタ  $Q_{SD}$  は反転状態を保っている。そのためトランジスタ  $Q_{SD}$  のゲート容量、更にはトランジスタ  $Q_{SD}$  のゲートとドレイン間

を接続したコンデンサ  $C'_S$  により、入力  $V_{IN}$  の立ち上がり信号はトランジスタ  $Q_{SD}$  のゲート電圧  $V_b$  を高め、入力  $V_{IN}$  の立ち上がりにより急速にブーストストラップノード  $V_c$  を昇圧する。そしてトランジスタ  $Q_{SD}$  が導通状態となり、ブーストストラップ動作が開始される時分になると、トランジスタ  $Q_D, Q_S$  のインバータ出力は立ち下がり、それによって  $V_b$  電位も立ち下がり、トランジスタ  $Q_{SD}$  のドレイン電位である  $V_{IN}$  が電源  $V_{DD}$  であるため  $V_b$  電位が  $V_{DD} + V_{TH}$  以下となるとトランジスタ  $Q_{SD}$  は遮断状態となり、ブーストストラップノードからトランジスタ  $Q_{SD}$  を介して入力  $V_{IN}$  に至る電流経路はなくなり、ブーストストラップノード電圧  $V_c$  は充分昇圧され、以ってブーストストラップ動作を高めてトランジスタ  $Q_{SD}$  による出力  $V_{OUT}$  を高速化したものである。第6図はこの動作を示す電圧波形図である。なお、コンデンサ  $C'_S$  は、第2図に示した発明例と同様にトランジスタ  $Q_{SD}$  のゲートノードの浮遊容量が  $Q_{SD}$  のゲート容量に比べて小さければ

$C_1'$ はあえて必要ではなく、トランジスタ  $Q_{E3}$  のゲートで代用することができる。

以上の実施例では負荷トランジスタとしては、D型トランジスタとI型トランジスタの2種を用いたが、これを单一化して全ての負荷トランジスタをI型とすることもできる。第7図、第8図は、第2図、第3図の回路の負荷トランジスタを全てI型としたものである。更に駆動トランジスタも負荷トランジスタも全てE型とすることもでき、第9図、第10図はその例を示している。

ところで第2図、第3図の回路の出力  $V_{out}$  の立ち下がりに関しては、入力  $V_{in}$  が立ち下がりトランジスタ  $Q_D$ 、 $Q_S$  によるインバータが反転して駆動トランジスタ  $Q_{sd}$  のゲート電圧  $V_g$  が上がって、トランジスタ  $Q_{sd}$  を導通することによって行なわれるが、このとき電圧  $V_c$  がまた高い電位にあるとトランジスタ  $Q_{ld}$  も導通状態にあり、その期間トランジスタ  $Q_{ld}$  と  $Q_{sd}$  とはレシオ型の回路となり、電源  $V_{DD}$  から  $V_{SS}$  へトラ

大きさには余り影響されず、第1図にくらべて  
遅延時間は  $1/14 \sim 1/3$  と短くなった。

なお本発明は上記実施例のみに限られず種々の応用が可能である。例えば本発明はNチャネル型トランジスタ回路のみでなくPチャネル回路にも適用できる。また本発明回路を集積回路化する場合にはコンデンサ  $C_3$  ,  $C_4$  はMOSキャパシタにより構成してもよい。

### 〔発明の効果〕

以上説明した如く本発明によれば、アートストラップ動作を行なうノードを高速に昇圧するようとしたため、高速の立ち上がり出力回路が得られる半導体回路が提供できるものである。

#### 4. 図面の簡単な説明

第1図は従来の半導体回路図、第2図、第3図は本発明の実施例の回路図、第4図ないし第6図は第1図ないし第3図の回路動作を示す電圧波形図、第7図ないし第14図は本発明の他の実施例の回路図である。

$$Q_{14}, Q_{34}, Q_{15}, Q_{25}, Q_p, Q_s, Q_{s3}, Q_{su} \dots$$

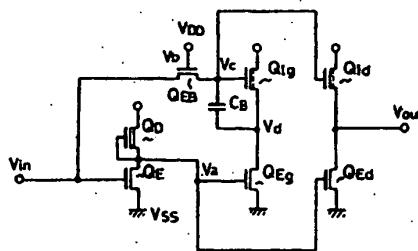
ンジスタ  $Q_{ld}$  ,  $Q_{rd}$  を介して無駄な電流が流れると共に出力  $V_{out}$  の立ち下がり速度が遅くなる。そこで第1-1図, 第1-2図は第2図, 第3図のアートストラップ電圧  $V_c$  を、入力  $V_{in}$  が立ち下がり  $V_a$  が立ち上がるときただちに  $V_c$  が放電されて  $V_{in}$  電位へ立ち下がるようになり、トランジスタ  $Q_{ld}$  ,  $Q_{rd}$  ,  $Q_x$  ,  $Q_{ss}$  ,  $Q_{su}$  ,  $Q_{sc}$  と同じE型トランジスタ  $Q_{sl}$  を設けた回路である。勿論この電圧  $V_c$  の放電は、電圧  $V_a$  が立ち上がるのに先だって行なわれた方がよく、そのためにトランジスタ  $Q_{sl}$  のゲートを他の外部信号  $V_{in}$  によって制御してもよい。第1-3図, 第1-4図はその例を示している。

前記実施例の効果を調べるために第1回ないし第3回の回路を構成し、入力信号の立ち上がりに対する出力の立ち上がりの遅延時間を調べた。即ち入力  $V_{in}$  が電源  $V_{dd}$  の 90 % の電位になった時点から出力  $V_{out}$  が同じく  $V_{dd}$  の 90 % の電位になるまでの時間を調べたところ、第2回、第3回の場合はトランジスタ  $Q_{su}$ 、 $Q_{sc}$  の

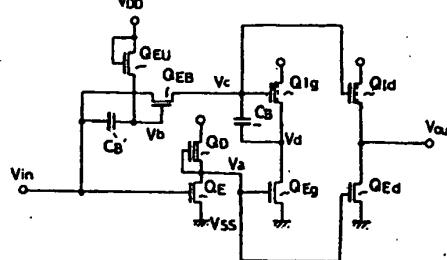
MOSトランジスタ、 $C_s$ 、 $C'_s$ …コンデンサ。

出願人代理人弁理士 錦江武彦

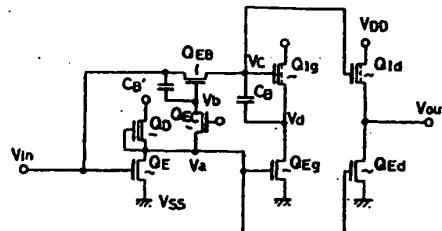
第 1 図



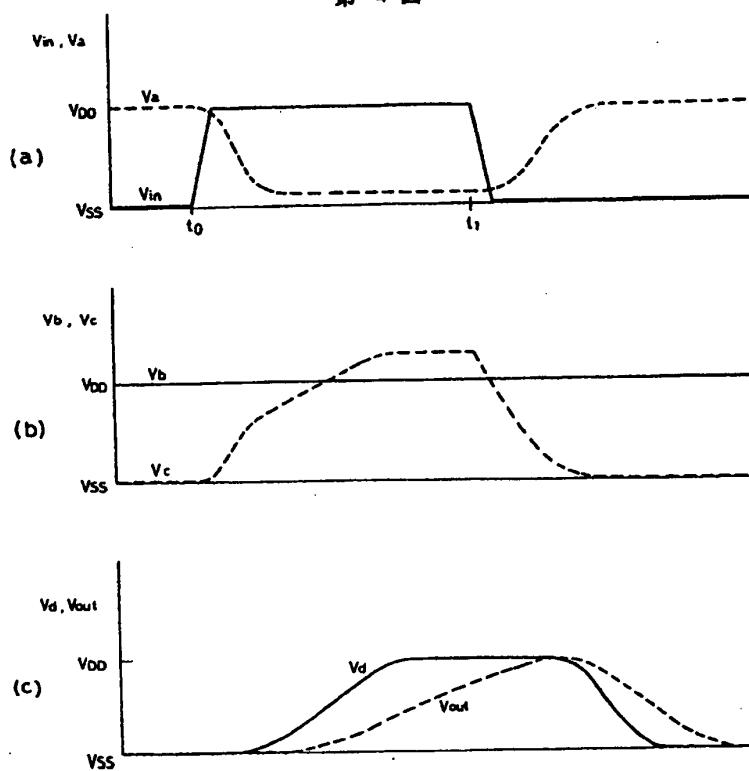
第 2 図



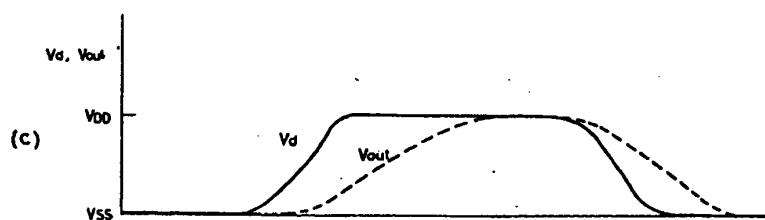
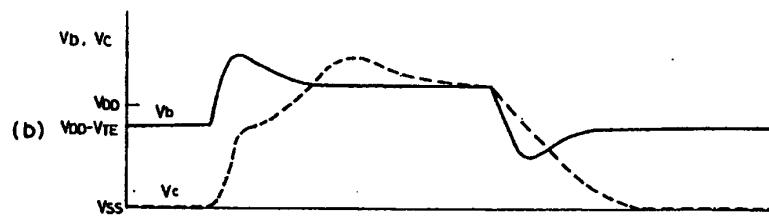
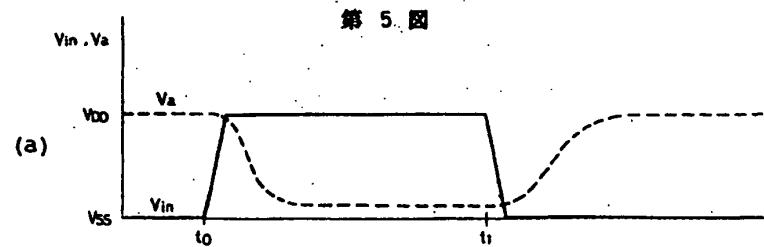
第 3 図



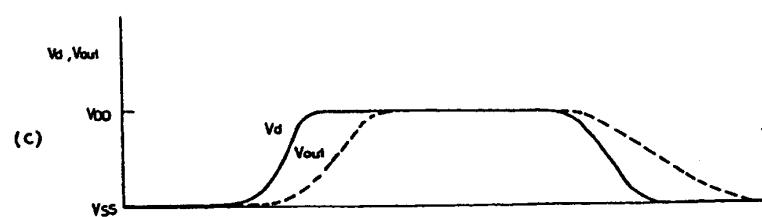
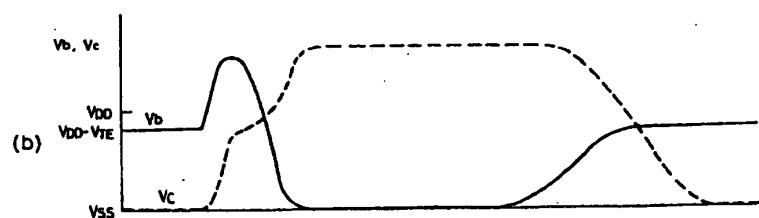
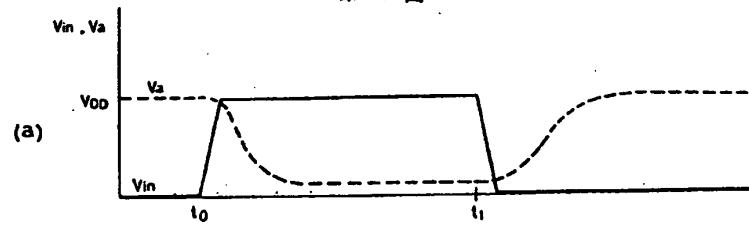
第 4 図



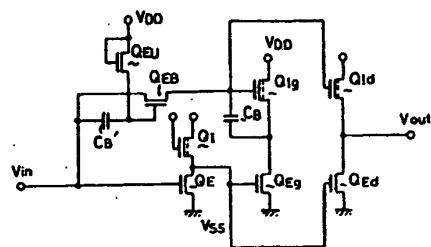
第 5 図



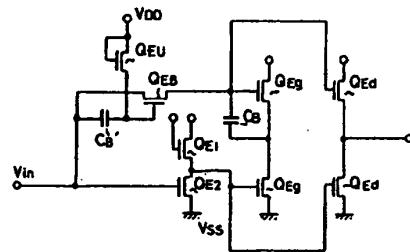
第 6 図



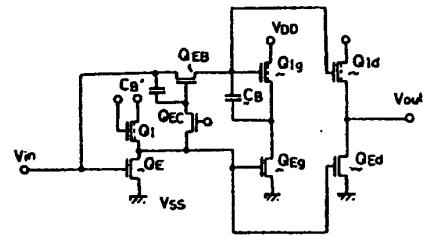
第 7 図



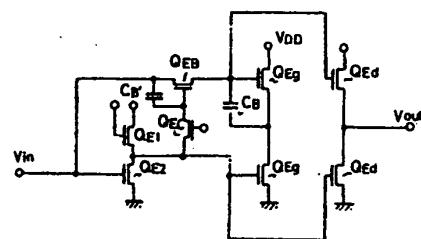
第 9 図



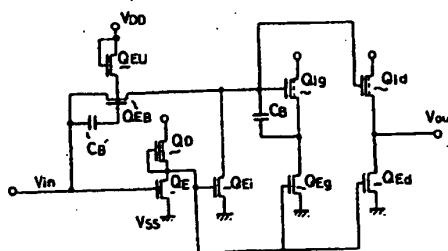
第 8 図



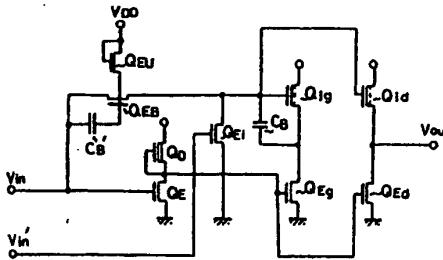
第 10 図



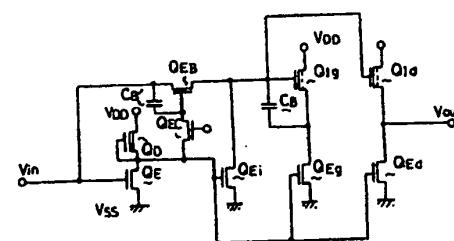
第 11 図



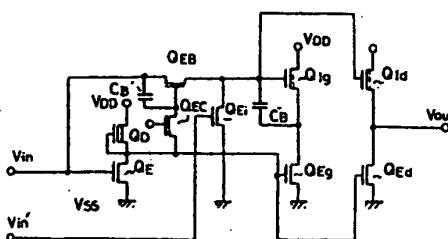
第 13 図



第 12 図



第 14 図



(19) Japanese Patent Office (JP)  
(12) Publication of Laid-Open Patent Application (A)  
(11) Publication Number of Patent Application: 59-16424  
(43) Date of Publication Application: January 27, 1984  
(51) Int. Cl.<sup>3</sup>: H 03 K 19/094

Identification Mark

JPO File Number: 6832-5J

Number of Inventions: 2

Request for Examination: Not requested

Total 9 pages

(54) Semiconductor Circuit

(21) Application Number:

Japanese Patent Application No. 57-125334

(22) Date of Filing: July 19, 1982

(72) Inventor: Satoshi KONISHI

c/o TOSHIBA CORPORATION Transistor Factory

1, Komukai, Toshiba-cho, Saiwai-ku, Kawasaki-shi

(71) Applicant: TOSHIBA CORPORATION

72, Horikawa-cho, Saiwai-ku, Kawasaki-shi

(74) Representative: Patent Attorney Takehiko Suzue and two others

### Specification

#### 1. Title of the Invention

Semiconductor Circuit

#### 2. Scope of Claims

(1) A semiconductor circuit comprising:

an another electrode of a channel conductive line of a first MOS transistor whose one electrode of the channel conductive line is connected to a first power supply and an another electrode of a channel conductive line of a second MOS transistor whose one electrode of the channel conductive line is connected to a second power supply, common-connected with a first node;

a gate of the second MOS transistor common-connected to a gate of a third MOS transistor whose one electrode is connected to the second power supply;

this gate connected to an another electrode of the channel conductive line of the third MOS transistor with a second node, through a first condenser;

this second node connected to an another electrode of a channel conductive line

of a fourth MOS transistor whose one electrode of the channel conductive line is connected to the first power supply;

a third node that is to be an output of an inverter, connected to gates of the first and the fourth MOS transistors, where the inverter comprises fifth and sixth MOS transistors, and whose input signal is applied to a gate of the fifth MOS transistor,;

an input of the inverter connected to gates of the second and the third MOS transistors thorough a channel conductive line of a seventh MOS transistor;

a gate of the seventh MOS transistor connected to one electrode of a channel conductive line of an eighth MOS transistor; and

an another electrode of the channel conductive line and a gate of the eighth MOS transistor are connected to the second power supply.

(2) A semiconductor circuit according to claim 1, wherein a second condenser is provided between the electrode on the side of the input signal of the channel conductive line of the seventh MOS transistor and the gate.

(3) A semiconductor circuit according to claim 2, wherein the first and the second condensers are structured by MOS capacitors.

(4) A semiconductor circuit according to claim 1, wherein the node with which the gates of the second and the third MOS transistors are common-connected is connected to the first power supply through a ninth MOS transistor, and a gate of the ninth MOS transistor is connected to the third node.

(5) A semiconductor circuit according to claim 1, wherein the node with which the gates of the second and the third MOS transistors are common-connected is connected to the first power supply through a channel conductive line of the ninth MOS transistor, and a gate of the ninth MOS transistor is connected to an other input signal source than the above-mentioned input signal.

(6) A semiconductor circuit according to claim 1, wherein an absolute value of a threshold voltage of the second and the third MOS transistors is equal to or less than a threshold voltage of the first, the fourth, the fifth, the seventh and the eighth MOS transistors.

(7) A semiconductor circuit according to claim 1, wherein a threshold voltage of the sixth MOS transistor is equal to or less than a threshold voltage of the first, the fourth, the fifth, the seventh and the eighth MOS transistors when the second power supply voltage is higher than the first power supply voltage, and the threshold voltage of the sixth MOS transistor is equal to or more than the threshold voltage of the first, the fourth, the fifth, the seventh and the eighth MOS transistors when the second power supply voltage is lower than the first power supply voltage.

(8) A semiconductor circuit according to claim 1, wherein a threshold voltage of the ninth MOS transistor is approximately equal to a threshold voltage of the first, the fourth, the fifth, the seventh and the eighth MOS transistors.

(9) A semiconductor circuit comprising:

an another electrode of a channel conductive line of a first MOS transistor whose one electrode of the channel conductive line is connected to a first power supply and an another electrode of a channel conductive line of a second MOS transistor whose one electrode of the channel conductive line is connected to a second power supply, common-connected with a first node;

a gate of the second MOS transistor common-connected to a gate of a third MOS transistor whose one electrode is connected to the second power supply;

this gate connected to an another electrode of the channel conductive line of the third MOS transistor with a second node, through a first condenser;

this second node connected to an another electrode of a channel conductive line of a fourth MOS transistor whose one electrode of the channel conductive line is connected to the first power supply;

a third node that is formed of fifth and sixth transistors and to be an output of an inverter where an input signal is applied to a gate of the fifth MOS transistor, connected to gates of the first and the fourth MOS transistors;

an input of the inverter connected to gates of the second and the third MOS transistors thorough a channel conductive line of seventh MOS transistor;

a gate of the seventh MOS transistor connected to the third node through a channel conductive line of a tenth MOS transistor whose gate is connected the second power supply.

(10) A semiconductor circuit according to claim 9, wherein a second condenser is provided between the electrode on the side of the input signal of the channel conductive line of the seventh MOS transistor and the gate.

(11) A semiconductor circuit according to claim 10, wherein the first and the second condensers are structured by MOS capacitors.

(12) A semiconductor circuit according to claim 9, wherein the node with which the gates of the second and the third MOS transistors are common-connected is connected to the first power supply through a ninth MOS transistor, and a gate of the ninth MOS transistor is connected to the third node.

(13) A semiconductor circuit according to claim 9, wherein the node with which the gates of the second and the third MOS transistors are common-connected is connected to the first power supply through a channel conductive line of the ninth MOS transistor,

and a gate of the ninth MOS transistor is connected to an other input signal source than the above-mentioned input signal.

(14) A semiconductor circuit according to claim 9, wherein an absolute value of a threshold voltage of the second and the third MOS transistors is equal to or less than a threshold voltage of the first, the fourth, the fifth, the seventh and the tenth MOS transistors.

(15) A semiconductor circuit according to claim 9, wherein a threshold voltage of the sixth MOS transistor is equal to or less than a threshold voltage of the first, the fourth, the fifth, the seventh and the tenth MOS transistors when the second power supply voltage is higher than the first power supply voltage, and the threshold voltage of the sixth MOS transistor is equal to or more than the threshold voltage of the first, the fourth, the fifth, the seventh and the tenth MOS transistors when the second power supply voltage is lower than the first power supply voltage.

(16) A semiconductor circuit according to claim 9, wherein a threshold voltage of the ninth MOS transistor is approximately equal to a threshold voltage of the first, the fourth, the fifth, the seventh and the tenth MOS transistors.

### 3. Detailed Description of the Invention

#### [Technological field of the Invention]

The present invention relates to a semiconductor circuit that is suitable for a static output circuit using a bootstrap circuit.

#### [Technological Background of the Invention and the Problems]

As for a MOS transistor circuit of a ratio-mode, a circuit type in which an enhancement-mode, an intrinsic-mode whose threshold voltage is around 0 V, or a depression-mode MOS transistor that is usually in an on state is made to be a load transistor and that is driven by an enhancement-mode MOS transistor is taken. As for this, in the case where a drive circuit is in a conducting state, direct-current electricity path from one power supply to the other power supply through a load transistor and a drive transistor occurs, and this occupies a large part of electric power consumption of the ration-mode MOS transistor circuit. Therefore, in a MOS transistor portion that has large conductance and is used for an output circuit or a circuit to drive a large load carrying capacity, a circuit type of a ratioless-mode is used to prevent the electric power consumption from increasing. For that reason, a depression-mode is avoided and an intrinsic-mode transistor is generally used for a load MOS transistor. In this circuit type, as shown in Fig. 1, in order to raise output conductance by a load MOS transistor QId, a higher voltage than power supply voltage VDD is applied to the gate, so that the load MOS transistor QId performs triode operation. That is, this is a circuit type in

which a bootstrap potential is generated by a condenser CB and the transistor QIg, and that is applied to the gate of the load MOS transistor QId in an output side.

The circuit operation of Fig. 1 is shown in Fig. 4. That is, when an input Vin rises from a power supply (ground) Vss to VDD level, an output of the inverter formed of a depression-mode (D-mode) transistor QD and an enhancement-mode (E-mode) transistor QE rises as voltage Va in Fig. 4 (a). On the other hand, the input Vin is supplied through a transistor QEB to a bootstrap node whose voltage is shown as Vc, and when the bootstrap voltage Vc is raised by that, a transistor QIg becomes conductive, and a voltage at a node of Vd is raised by the transistor QIg. In this way, the bootstrap node is risen through a condenser CB for bootstrap, then a load MOS transistor QId of the output circuit is driven by the voltage Vc, and a high level is outputted to an output Vout, as shown in Fig. 4 (c). On the other hand, as for a falling operation of the output, when the input Vin falls to VBB electric potential, the bootstrap node Vc becomes Vss electric potential through the transistor QEB, and the load transistor QId of output is in a cutoff state. In addition, the output Va of the inverter by the transistors QD and QE rises, the drive transistor QEd of output comes to be in a conductive state, and the output Vout falls to Vss electric potential.

In the bootstrap output circuit in Fig. 1, the point which determines the rise time is the speed at which the bootstrap node voltage Vc is charged by the input Vin. That is, when Vc is risen a little by the input Vin through the transistor QEB, the transistor QIg becomes conductive, and Vc is risen along with Vd, by the bootstrap operation. During the rising time of Vc, until the Vc becomes "VDD-VTE" (VTE is a threshold voltage of the E-mode MOS transistor QEB), the transistor QEB is conductive, and therefore the input Vin rises Vc through the transistor QEB. The ultimate risen potential of the Vc is the sum of (VDD-Vss) CB/CT (CT is whole electric capacity of the bootstrap node), the first risen potential of Vc by the input Vin and the risen potential until reaching "VDD-VTN" during rising of Vc. As understood by the series of operations described above, when Vc is risen by Vin at higher speed than the speed at which Vd is risen by the transistor QIg, the ultimate risen potential of Vc becomes higher, and the gate voltage of the output load MOS transistor QId becomes higher, which makes high speed rise operation possible. Seen from that point of view, in the conventional circuit, even when Vc is intended to be risen at high speed by the input Vin, since the gate voltage of the transistor QEB is VDD, even when Vin rises to VDD potential, Vc is only risen to the electric potential which is fallen by the threshold voltage VTE of the transistor QEB from that potential. In addition, the gate voltage of the transistor QEB staying VDD electric potential means that the conductance of the

transistor QEB gradually decreases, as  $V_{in}$  rises. That is contrary to the fact that  $V_c$  needs to be risen at high speed to  $V_{in}$  in order to improve the bootstrap operation. As a result, it is difficult to obtain high speed rising output.

#### [Object of the Invention]

The present invention is made in view of the circumstances described above, and provides a semiconductor circuit which enables high speed rising potential of a bootstrap node by an input signal, so that a high speed rising output is obtained.

#### [General Description of the Invention]

In order to achieve the above-described object, the present invention is to rise a gate voltage of a transistor which transmits an input signal to a bootstrap node along with the rise of the input signal so that the above-described transistor performs a triode operation. In this way, threshold voltage fall of the transistor QEB as the conventional example is prevented from occurring, and conductance of the above-described transistor is raised, so that high speed rising potential of a bootstrap node becomes possible.

#### [Embodiment of the Invention]

An embodiment of the present invention will be described hereinafter, referring to drawings. Fig. 2 shows the present embodiment, and it is an example of the case that corresponds to the one in Fig. 1, so the same symbols are used for the corresponding portions. That is, a drain of an E-mode transistor QEd whose source is connected to a power supply  $V_{ss}$  (ground) and a drain of an intrinsic-mode (I-mode) transistor QId whose drain is connected to a power supply  $V_{DD}$  are common-connected with an output terminal of  $V_{out}$ , a gate of the transistor QId is common-connected to a gate of the I-mode transistor QIg whose drain is connected to the power supply  $V_{DD}$ , and the gate is connected to a source of the transistor QIg through a condenser CB. A source of the transistor QIg is grounded through the drain and the source of the E-mode transistor QEg, and the gate of the transistor QEg is common-connected to a gate of the transistor QEd. An output terminal of an inverter that is formed of a D-mode transistor QD and an E-mode transistor QE is connected to gates of the transistors QEg and QEd, an input terminal of the inverter, that is, a gate of the transistor QE is connected to an input terminal of an input signal  $V_{in}$ , and the input terminal is connected to the gate of the transistor QIg, that is, a bootstrap node, through a drain and a source of the E-mode transistor QEB. A gate of the transistor QEB is connected to a source of an E-mode transistor QEU, and a gate and a drain of the transistor QEU are connected to the power supply  $V_{DD}$ . Although a condenser C'B is provided between the gate and the drain of the transistor QEB, the condenser C'B is to rise the gate voltage of the transistor QEB when the input signal  $V_{in}$  rises. Therefore, in the case where the stray capacitance of a

gate node of the transistor QEB is smaller than the gate capacitance of QEB, the condenser C'B is not needed, and the gate voltage can be risen enough by the gate capacitance of QEB.

In the circuit in Fig. 2, a voltage of "VDD-VTE" is always applied to the gate of the transistor QEB by the transistor QEU, therefore the transistor QEB is in an inverting state and combined to the input Vin by the condenser C'B or the gate capacitance of the transistor QEB. In this way, the rising voltage of the input Vin is to rise the gate voltage Vb of the transistor QEB by condenser combination. Due to this circuit structure, when the input Vin rises as shown in Fig. 5, the voltage Vb is risen higher than the power supply voltage VDD at the same time, and therefore the bootstrap node voltage Vc is risen at higher speed, compared to the conventional example, by the input Vin. As for an initial risen potential by the input Vin of the bootstrap node, since the transistor QEB performs a triode operation, there is no threshold voltage fall of the transistor QEB, which is seen in the conventional circuit. In addition, decrease in conductance of the transistor QEB caused by decrease in electric potential difference between the source and the gate along with the rise of the input Vin is small. Therefore, rising of Vc by the input Vin becomes faster, and the rise of the output Vout also becomes faster. On the other hand, when the input Vin falls, Vc becomes VSS potential through the transistor QEB, and the transistor QId comes to be in a cutoff state. In addition, an inverter output voltage Va by the transistors QD and QE rises, the transistor QEd becomes conductive, and the output Vout falls.

Fig. 3 is a circuit diagram of the other embodiment of the present invention. The feature of this circuit is that an E-mode transistor QEC is provided between the gate of the transistor QEB and the output terminal of the inverter by the transistors QD and QE, and the power supply VDD is applied to the gate.

In the circuit in Fig. 2, the gate voltage Vb of the transistor QEB is risen greatly by the rise of the input Vin, and ultimately it reaches the sum of the voltage lower by the threshold voltage of the transistor QEU, that is "VDD-VTE", and the risen potential by the input Vin through the gate capacitance of the transistor QEB. And that potential is higher than "VDD+VTE", and QEB is always in a conductive state. Therefore, in the bootstrap node potential Vc, there is a weak point that an electric current path that leads to the input Vin through the transistor QEB arises and therefore Vc tends to fall. In Fig. 3, after rising the bootstrap node voltage Vc by the rise of the input Vin, the gate voltage Vb of the transistor QEB is lowered, the electric current path from the bootstrap node to the input Vin is cut off by setting the transistor QEB in a cutoff state, in the rising Vc that starts when the bootstrap operation starts. And in this

way, the bootstrap voltage  $V_c$  is heightened, and the effect of the bootstrap operation is improved, so that the output  $V_{out}$  by the transistor  $Q_{Id}$  is speeded up.

In a rise operation in Fig. 3, the inverter output by the transistors  $QD$  and  $QE$  is in a high voltage level even when the input  $V_{in}$  rises. Therefore, the threshold voltage drop potential “ $VDD-VTN$ ” of the power supply voltage by the transistor  $QEC$  is applied to  $V_b$  through a D-mode transistor  $QD$ . In addition, the transistor  $QEB$  keeps the inverting state. Therefore, due to the gate capacitance of the transistor  $QEB$  and the condenser  $C'B$  that connects the gate and the drain of the transistor  $QEB$ , the rising signal of the input  $V_{in}$  heightens the gate voltage  $V_b$  of the transistor  $QEB$ , and the bootstrap node  $V_c$  is risen at high speed by the rise of the input  $V_{in}$ . And when the transistor  $Q_{Ig}$  becomes conductive and the bootstrap operation starts, the inverter output of the transistors  $QD$  and  $QE$  fall, and the  $V_b$  potential falls by that. When the  $V_b$  potential becomes equal to or lower than “ $VDD+VTN$ ” since  $V_{in}$  that is the drain potential of the transistor  $QEB$  is the power supply  $VDD$ , the transistor  $QEU$  comes to be in a cutoff state, the electric current path which leads from the bootstrap node to the input  $V_{in}$  through the transistor  $QEB$  is lost, and the bootstrap node potential  $V_c$  is risen enough. In this way, the bootstrap operation is improved, so that the output  $V_{out}$  by the transistor  $Q_{Id}$  is speeded up. Fig. 6 is a voltage waveform chart that shows this operation. In the same way as the invention example shown in Fig. 2, when the stray capacitance of the gate node of the transistor  $QEB$  is smaller than the gate capacitance of  $QEB$ ,  $C'B$  is not needed, and the gate of the transistor  $QEB$  can be used as a substitute for it.

In the embodiment above, two kinds of transistors, a D-mode transistor and an I-mode transistor, are used as load transistors, but these may be unified so as to make all the load transistors I-mode. Fig. 7 and Fig. 8 are diagrams in which all the load transistors of the circuit in Fig. 2 and Fig. 3 are changed to be I-mode. In addition, drive transistors and load transistors all may be E-mode, and Fig. 9 and Fig. 10 show those examples.

As for the fall of an output  $V_{out}$  of the circuit in Fig. 2 and Fig. 3, it is performed when the input  $V_{in}$  falls and the inverter formed of transistors  $QD$  and  $QE$  inverts to rise the gate voltage  $V_a$  of a drive transistor  $QEd$  so that the transistor  $QEd$  becomes conductive. In that time, when the voltage  $V_c$  is still in a high potential, the transistor  $Q_{Id}$  is also in a conductive state, and in that period of time, the transistor  $Q_{Id}$  and  $QEd$  are ratio-mode circuits. So, wasteful electric current flows from the power supply  $VDD$  to  $V_{ss}$  through the transistors  $Q_{Id}$  and  $QEd$ , and the falling speed of the output  $V_{out}$  decreases. Then, Fig. 11 and Fig. 12 show circuits in which the same

E-mode transistor QEi as the transistors QEd, QEg, QE, QEB, QEU and QEC is provided, so that the bootstrap voltage  $V_c$  in Fig. 2 and Fig. 3 falls to  $V_{ss}$  potential, with  $V_c$  being immediately discharged when the input  $V_{in}$  falls and  $V_a$  rises. Of course the discharge of the voltage  $V_c$  is better to be performed before the voltage  $V_a$  rises, and so the gate of the transistor QEi may be controlled by the other outside signal  $V'in$ . Fig. 13 and Fig. 14 show the example of that.

In order to check the effect of the above-mentioned embodiment, the circuit in Fig. 1 to Fig. 3 is structured and the delay time of the rise of the output with respect to the rise of the input signal is checked. That is, the time from when the input  $V_{in}$  reaches the electric potential of 90 % of the voltage  $VDD$  to when the output  $V_{out}$  also reaches the electric potential of 90 % of the voltage  $VDD$  is checked. As a result, it is found out that the cases of Fig. 2 and Fig. 3 are not affected much by the size of the transistors QEU and QEC, and the delay time is reduced to be 1/14 to 3/1, compared to Fig. 1.

The present invention is not limited to the above-mentioned embodiment, and various applications are possible. For example, the present invention can be applied not only to an n-channel type transistor circuit but also to a p-channel circuit. In addition, in the case where the circuit of the present invention is made to be an integrated circuit, the condensers CB and C'B may be structured by MOS capacitors.

#### [Effect of the Invention]

According to the present invention described above, since a node to perform a bootstrap operation is made to be risen at high speed, a semiconductor circuit where a high-speed rise output circuit is obtained can be provided.

#### 4. Brief Description of Drawings

Fig. 1 is a conventional semiconductor circuit diagram, Fig. 2 and Fig. 3 are circuit diagrams of the embodiment of the present invention, Fig. 4 to Fig. 6 are wave form charts to show the circuit operation of Fig. 1 to Fig. 3, and Fig. 7 to Fig. 14 are circuit diagrams of the other embodiments of the present invention.

QId, QEd, QIg, QEg, QD, QE, QEB, QEU: MOS transistors

CB, C'B: condensers

Applicant Representative: Patent Attorney Takehiko Suzue

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**  
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.